

(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平9-320849
(43)公開日 平成9年(1997)12月12日

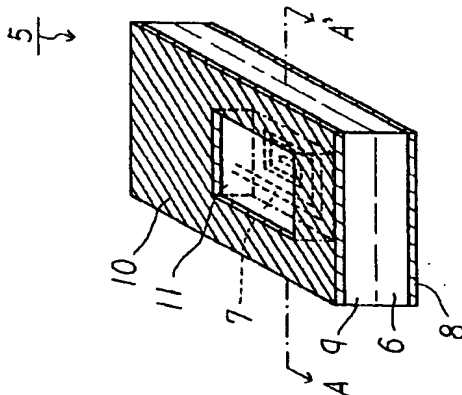
(5)Int.Cl. ⁴	H01F 17/00 41/00	識別記号	庁内整理番号	FI	H01F 17/00 41/00	技術表示箇所	B G
審査請求 未請求 請求項の最3 OL (全6頁)							
(21)出願番号	特開平9-129792	(71)出願人	000008533 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地 072				
(22)出願日	平成8年(1996)5月24日	(72)発明者	河田 俊彦 京都府相模原市緑区光台3丁目5番地 京 セラ株式会社中央研究所内				
		(72)発明者	山形 佳史 京都府相模原市緑区光台3丁目5番地 京 セラ株式会社中央研究所内				
		(72)発明者	吉田 廣幸 京都府相模原市緑区光台3丁目5番地 京 セラ株式会社中央研究所内				

(54)【発明の名称】 積層スパイラルインダクタならびにそのインダクタンス調整方法

(57)【要約】

【課題】 従来の積層スパイラルインダクタは、積層す
れによりインダクタンスが要求値と大きく異なる値とな
り、その値を調整することでもできなかった。

【解決手段】 上面にスパイラル状のパターン層7が形
成され、下面に下部グラント層8が形成された下部誘電
体層6と、下部誘電体層6の上面に積層された上部誘電
体層9と、上部誘電体層9の上面に形成され、スパイラ
ル状のパターン層7と対応する領域に開口部11を有する
上部グラント層10とを具備する積層スパイラルインダク
タ5とすることにより、インダクタンス値のずれに応じ
て開口部11の開口周辺の上部グラント層10を除去してイ
ンダクタンス調整を容易に行なうことができる。



【特許請求の範囲】

【請求項1】 上面にスパイラル状のパターン層が形成
され、下面に下部グラント層が形成された下部誘電体層
と、該下部誘電体層の上面に積層された上部誘電体層
と、上部誘電体層の上面に形成され、前記スパイラル状
のパターン層と対応する領域に開口部を有する上部グラ
ント層とを具備することを特徴とする積層スパイラルイ
ンダクタ。

【請求項2】 前記開口部の内部領域にインダクタンス
調整用電極層が配されていることを特徴とする請求項1
記載の積層スパイラルインダクタ。

【請求項3】 請求項1または請求項2記載の積層スパ
イラルインダクタのインダクタンス調整方法であって、
前記開口部の内部領域に配されたインダクタンス調整用
電極層または前記開口部の開口周辺に位置する上部グラ
ント層の一部を除去することを特徴とする積層スパイラ
ルインダクタのインダクタンス調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスパイラル状の導体
パターンを誘電体層で挟持して成る積層スパイラルイン
ダクタに関するものである。

【0002】

【従来の技術】 近年、アナログあるいはデジタル誘導電
話や無線電話をはじめとする移動体通信用端末機等に使
用される半導体デバイスや電子部品に対する小型化・軽
量化の要望が強くなっている。そのような電子部品のう
ちインダクタンス素子として使用されるチップ型インダ
クタの1つに積層スパイラルインダクタがある。

【0003】 この積層スパイラルインダクタの構成は、
例えば図9に分解斜視図で示すように、誘電体層1上に
スパイラル層（渦巻き状のストリップライン）2を形成
し、その上に他の誘電体層3を積層すると共に、誘電体
層1の下面にグラント層4を形成した、いわゆる片側開
放・片側短絡の積層構造が一般的のものであった。

【0004】

【発明が解決しようとする課題】 上記のような構成の積
層スパイラルインダクタにおいては、スパイラル層2の
上部の誘電体層3の外側（上面）にはグラント層が形成
されており、磁気的には完全開放の状態としてスパイ
ラル層2のライントーン間の磁気結合が妨げられない
ように構成しているため、スパイラル層2を通過する磁
束がグラント層によって遮蔽されることがなく、インダ
クタンスは増大する。しかしながら、微細な積層構造で
あるために、製造における積層時の各層のわずかな位置
ずれにより、実際に製造された積層スパイラルインダク
タにおいてはインダクタンスが要求される設計仕様値と
は大きく異なる値となってしまうという問題点があっ
た。

【0005】 また、そのようにインダクタンスが設計仕

仕様値と異なってしまう積層スパイラルインダクタに対
しては、インダクタンスの調整を行なってその値を適正
化することでもできず、製造において良品率を向上させる
ことが困難であるという問題点もあった。

【0006】 本発明は上記事情に鑑みて本発明者が鋭意
研究に努めた結果完成されたものであり、その目的は、
インダクタンスの調整を容易に行なうことができ、製造
における積層時のずれによるインダクタンス値のずれが
発生した場合でもその値を容易に適正化できる積層スパ
イラルインダクタを提供することにある。

【0007】 また本発明の目的は、積層スパイラルイン
ダクタに対してそのインダクタンスを容易に調整するこ
とができ、製造における積層時のずれによるインダク
タンス値のずれが発生した場合でもその値を容易に適正化
できる積層スパイラルインダクタのインダクタンス調整
方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の請求項1に係る
積層スパイラルインダクタは、上面にスパイラル状のパ
ターン層が形成され、下面に下部グラント層が形成され
た下部誘電体層と、その下部誘電体層の上面に積層され
た上部誘電体層と、上部誘電体層の上面に形成され、前
記スパイラル状のパターン層と対応する領域に開口部を
有する上部グラント層とを具備することを特徴とするも
のである。

【0009】 また、本発明の請求項2に係る積層スパイ
ラルインダクタは、上記請求項1に係る積層スパイラル
インダクタにおいて、前記開口部の内部領域にインダク
タンス調整用電極層が配されていることを特徴とするも
のである。

【0010】 また、本発明の積層スパイラルインダクタ
のインダクタンス調整方法は、上記各構成の積層スパイ
ラルインダクタのインダクタンス調整方法であって、前
記開口部の内部領域に配されたインダクタンス調整用電
極層または前記開口部の開口周辺に位置する上部グラ
ント層の一部を除去することを特徴とするものである。

【0011】 本発明の積層スパイラルインダクタによ
れば、スパイラル状のパターン層と対応する上部グラ
ント層の領域に開口部を設けて境界的に開放の状態としたこ
とにより、スパイラル状のパターン層を通過する磁束の
流れを妨げることがなく、大きなインダクタンスを得る
ことができる。また、開口部の内部領域にインダクタ
ス調整用電極層を配した場合でも、十分な開放部分が領
域に大きなインダクタンスを得ることができるものと
なる。

【0012】 また、開口部の開口周辺に位置する上部グ
ラント層の一部または開口部の内部領域に配されたイン
ダクタンス調整用電極層の一部を除去することにより、
開口部の面積または開口部の開放部分の面積を広げてス

バイラル状のパターン層を通過する磁束の量を調整できることから、インダクタンスの調整を容易に行なうことができ、共振時のずれによるインダクタンス値の変動の適正化を容易に行なえるものとなる。

【0013】さらに、スパイラル状のパターン層の下部と上部とにそれぞれグラッド層を設けることにより、回路基板に共振した場合に回路を流れている電流からのノイズがスパイラル状のパターン層に侵入してくるのを効果的に防止することができ、使用時において安定した特性を維持できる積層スパイラルインダクタとなる。

【0014】さらにまた、スパイラル状のパターン層と開口部を有する上部グラッド層との間には上部誘電体層が設けられていることから、開口部においてスパイラル状のパターン層が傾倒状態となることがなく、スパイラル状のパターン層にゴミ等が付着して特性が変化しやすいこともない。

【0015】また、本発明の積層スパイラルインダクタのインダクタンス調整方法によれば、請求項1または請求項2に係る積層スパイラルインダクタに対して、開口部の開口周辺に位置する上部グラッド層の一部または開口部の内部領域に設けられたインダクタンス調整用電極層の一部を、インダクタンス値の変動の大きさに応じて除去することにより、開口部の面積または開口部の開放部の面積を広げてスパイラル状のパターン層を通過する磁束の量を調整でき、インダクタンスの調整ならびに共振時のずれによるインダクタンス値の変動の適正化を容易に行なうことができる。そして、これにより製造における良品率を向上させることが可能となる。

【0016】以上により、本発明によれば、電気的特性が安定で、かつインダクタンス調整を容易に行なえる積層スパイラルインダクタならびにそのインダクタンス調整方法を提供することができる。

【0017】

【発明の実施の形態】以下、図面に基づいて本発明を詳細に説明する。なお、以下はあくまで本発明の例示であって、本発明はそれらに限定されるものではなく、本発明の要旨を逸脱しない範囲での種々の変更や改良は何ら差し支えないものである。

【0018】図1は本発明の積層スパイラルインダクタの実施形態の一例を示す斜視図であり、図2はその分解斜視図、図3は図1のA-A'線断面図である。図1～図3に示した積層スパイラルインダクタ5において、6は下部誘電体層であり、7はその上面に形成されたスパイラル状のパターン層、8は下部誘電体層6の下面に形成された下部グラッド層、9は上部誘電体層、10は上部誘電体層の上面に形成された上部グラッド層である。なお、スパイラル状のパターン層7は図示したような矩形の他に円形であっても幾何学的な形状であってもよく、下部誘電体層6および上部誘電体層9はそれぞれ単層であっても複数の層が積層されたものであってもよ

い、14はその形状が周辺が階段状となるように設けたと見ることでもできるものである。この階段状のインダクタンス調整用電極層15についても形状・個数・位置・大きさ等には特に限定はなく、スパイラル状のパターン層を通過する磁束の流れを妨げないようにスパイラル状のパターン層の形状や大きさ・位置等に応じて適正化を図ればよい。

【0024】図7は上部グラッド層10に設けた開口部16の内部領域に上部グラッド層10と連続したメッシュ状のインダクタンス調整用電極層17を設けた例を示している。同図では図6を2本のメッシュ状のインダクタンス調整用電極層17を設けた例を示しているが、この例は開口部16の内部領域を格子状に複数個に区画したと見ることでもできるものである。このメッシュ状のインダクタンス調整用電極層17についても形状・個数・位置・配列・大きさ等は、スパイラル状のパターン層を通過する磁束の流れを妨げないようにスパイラル状のパターン層の形状や大きさ・位置等に応じて適正化すればよい。

【0025】図8は上部グラッド層10に設けた開口部18の内部領域に矩形のリング状の独立した複数の（同図では2個）のインダクタンス調整用電極層19・19'を設けた例を示している。同図では大小2個の矩形のリング状のインダクタンス調整用電極層19・19'を設けた例を示しているが、この例は開口部18の内部領域を矩形のリング状に複数個に区画したと見ることでもできるものである。これらインダクタンス調整用電極層19・19'についても形状を円形・三角形・六角形その他種々のものとしてもよく、個数・位置・配列・大きさ等も、スパイラル状のパターン層を通過する磁束の流れを妨げないようにスパイラル状のパターン層の形状や大きさ・位置等に応じて適正化すればよい。

【0026】上記のような各例に対して、図5～図8に示したような各インダクタンス調整用電極層13・15・17・19・19'の一部あるいは図4～図8における開口部11・12・14・16・18の開口周辺に上部グラッド層10の一部を除去することにより、積層スパイラルインダクタのインダクタンス値の調整を容易にかつ精密に行なうことができる。そのような除去は、例えばレーザトリミング法やサンドブラストもしくはリユーター等を用いた機械的除去等の方法によればよく、除去する部分やその面積の調整は、除去部分とインダクタンスの変化量との相関関係によって設定すればよい。

【0027】下部誘電体層6および上部誘電体層9には、例えばチタン酸バリウム系セラミックもしくは酸化アルミニウム系セラミックが用いられる。また、これらの誘電体層6・9の大きさや厚み等は要求されるインダクタンスの大きさやQ値により決定される。

【0028】スパイラル状のパターン層7は、上述のように矩形・円形・その他幾何学的な形状であってもよく、その形状や位置・大きさ・厚み・パターン幅・

パターン幅の間隔等は要求されるインダクタンスにより決定される。

【0029】下部グラッド層8および上部グラッド層10は、銅もしくは銅が用いられ、その面積はスパイラル状のパターン層7のスパイラル状の領域と同等、もしくはそれ以上の面積とされる。また、開口部11・12・14・16・18は、上述のように種々の形状・大きさ・位置のものとして設けられればよい。

【0030】また、インダクタンス調整用電極層13・15・17・19・19'は、上述のように種々の形状・個数・位置・配列・大きさ・厚みのものとして、上部グラッド層10と同様の材料を用いて設けられればよい。

【0031】そして、以上のスパイラル状のパターン層7、下部グラッド層8および上部グラッド層9、開口部11・12・14・16・18、インダクタンス調整用電極層13・15・17・19・19'は、下部誘電体層6または上部誘電体層9となるセラミックグリーンシート上に銅や銅のペーストを印刷することにより形成され、これらのセラミックグリーンシートの各層を熱圧着により積層し、あるいは密着液を用いて接着して積層し、その積層体を焼成することによって所望の積層スパイラルインダクタが得られる。

【0032】さらに、本発明の積層スパイラルインダクタとしては、上記の構成に加えて、下部グラッド層6または上部グラッド層10の外側にさらに誘電体層を積層したものとしてもよい。そのような構成とした場合には、実施時におけるセルフアライメントが可能となるものとなる。

【0033】さらにまた、本発明の積層スパイラルインダクタは、単独の積層スパイラルインダクタとして使用できることは言うまでもないが、フィルタにおけるインダクタンス部に本発明の積層スパイラルインダクタもしくはその構造を用いることによりインダクタンスを有するフィルタ、例えばバンドエッジリミネーションフィルタにも適用でき、あるいは整合回路におけるインダクタンス部に本発明の積層スパイラルインダクタもしくはその構造を用いることにより、回路間の整合回路におけるインダクタンス部にも展開できるものである。

【0034】

【発明の効果】以上のように、本発明の積層スパイラルインダクタによれば、スパイラル状のパターン層と対応する上部グラッド層の領域に開口部を設けて境界的に開放の状態としたことにより、スパイラル状のパターン層を通過する磁束の流れを妨げることがなく、大きなインダクタンスを得ることができるとともに、開口部の開口周辺に位置する上部グラッド層の一部を除去することによりインダクタンスの調整を容易に行なうことができ、共振時のずれによるインダクタンス値の変動が容易に適正化できる積層スパイラルインダクタを提供することができた。

【0035】また、本発明の請求項2に係る積層スパイラルインダクタによれば、スパイラル状のパターン層と対峙する上部グラウンド層の領域に設けた開口部の内部領域にインダクタンス調整用電極層を配したことから、開口部の開口周辺に位置する上部グラウンド層の一部または開口部の内部領域に配されたインダクタンス調整用電極層の一部を除去することによりインダクタンスの調整を容易に行なうことができ、積層時のずれによるインダクタンス値の変動をさらに容易に適正化できる積層スパイラルインダクタを提供することができた。

【0036】さらに、スパイラル状のパターン層の下部と上部とにそれぞれグラウンド層を設けたことから回路基板上に実装した場合に回路を流れている電流からのノイズがスパイラル状のパターン層に侵入してくるのを効果的に防止することができ、スパイラル状のパターン層と開口部を有する上部グラウンド層との間には上部誘電体層が積層されていることからスパイラル状のパターン層にゴミ等が付着して特性が変化するようなこともなく、使用時において安定した特性を維持できる積層スパイラルインダクタを提供することができた。

【0037】また、本発明の積層スパイラルインダクタのインダクタンス調整方法によれば、請求項1または請求項2に係る積層スパイラルインダクタに対して、開口部の開口周辺に位置する上部グラウンド層の一部または開口部の内部領域に設けられたインダクタンス調整用電極層の一部を、インダクタンス値の変動の大きさに応じて除去することにより、開口部の面積または開口部の開放部の面積を広げてスパイラル状のパターン層を通過する磁束の底を調整でき、インダクタンスの調整ならびに積層時のずれによるインダクタンス値の変動の適正化を容易に行なうことができるインダクタンス調整方法を提供することができた。

易に行なうことができるインダクタンス調整方法を提供することができた。

【図面の簡単な説明】

【図1】本発明の積層スパイラルインダクタの実施形態の例を示す斜視図である。

【図2】本発明の積層スパイラルインダクタの実施形態の例を示す分解斜視図である。

【図3】図1のA-A'線断面図である。

【図4】本発明の積層スパイラルインダクタの実施形態の例を示す平面図である。

【図5】本発明の積層スパイラルインダクタの実施形態の他の例を示す平面図である。

【図6】本発明の積層スパイラルインダクタの実施形態の他の例を示す平面図である。

【図7】本発明の積層スパイラルインダクタの実施形態の他の例を示す平面図である。

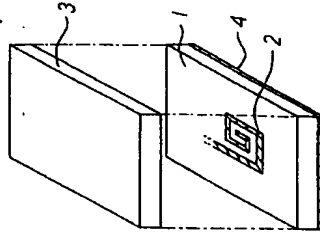
【図8】本発明の積層スパイラルインダクタの実施形態の他の例を示す平面図である。

【図9】従来の積層スパイラルインダクタを示す分解斜視図である。

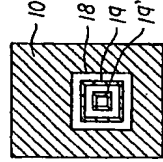
【符号の説明】

- 5.....積層スパイラルインダクタ
- 6.....下部誘電体層
- 7.....スパイラル状のパターン層
- 8.....下部グラウンド層
- 9.....上部誘電体層
- 10.....上部グラウンド層
- 11, 12, 14, 16, 18.....開口部
- 13, 15, 17, 19, 19'.....インダクタンス調整用電極層

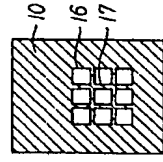
【図9】



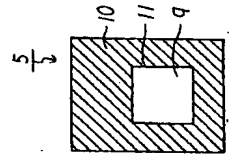
【図8】



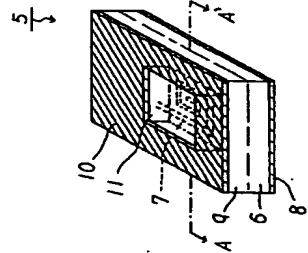
【図7】



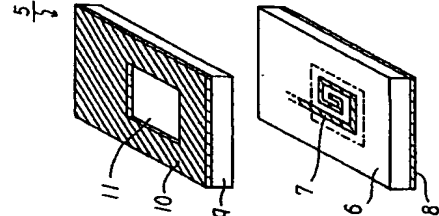
【図4】



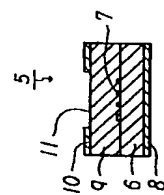
【図1】



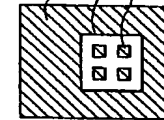
【図2】



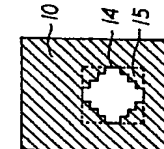
【図3】



【図5】



【図6】



JP unexamined patent publication 9-320849

[CLAIM 1] A laminated spiral inductor characterized by comprising: a lower dielectric layer having a spiral-shaped pattern layer formed on an upper surface thereof and a lower ground layer formed on a lower surface thereon, an upper dielectric layer laminated on the upper face of the lower dielectric layer, and an upper ground layer that has an opening in an area corresponding to said spiral-shaped pattern layer, and is formed on the upper face of the upper dielectric layer.

[CLAIM 2] The laminated spiral inductor according to claim 1, characterized in that an inductance adjusting electrode layer is placed in an inner area of said opening.

[CLAIM 3] An inductance adjusting method of the laminated spiral inductor according to claim 1 or claim 2, characterized in that one portion is removed from the inductance adjusting electrode layer placed in the inner area of said opening or the upper ground layer positioned on the periphery of said opening.

[0008]

[MEANS TO SOLVE THE PROBLEMS]

The laminated spiral inductor in accordance with claim 1 of the present invention is characterized by comprising: a lower dielectric layer having a spiral-shaped pattern layer formed on an upper surface thereof and a lower ground layer formed on a lower surface thereon, an upper dielectric layer laminated on the upper face of the lower dielectric layer, and an upper ground layer that has an opening in an area corresponding to said spiral-shaped pattern layer, and is formed on the upper face of the upper dielectric layer.

[0009]

Moreover, the laminated spiral inductor in accordance with claim 2, which relates to the laminated spiral inductor of claim 1, is characterized in that an inductance adjusting electrode layer is placed in an inner area of the opening.

[0010]

Furthermore, the inductance adjusting method of the laminated spiral inductor of the present invention, which is an inductance adjusting method for the laminated spiral inductors having the above-mentioned arrangements, is characterized in that one portion is removed from the inductance

adjusting electrode layer placed in the inner area of the opening or the upper ground layer positioned on the periphery of said opening.

[0011]

In accordance with the laminated spiral inductor of the present invention, an opening is formed at an area of the upper ground layer corresponding to the spiral-shaped pattern layer so as to provide an opened state in a magnetic field so that it is possible to obtain a great inductance without interrupting a flow of magnetic flux passing through the spiral-shaped pattern layer. Moreover, even in the case when an inductance adjusting electrode layer is placed in the inner area of the opening, since a sufficient opening portion is ensured, it is less likely to interrupt the flow of magnetic flux, and it is possible to provide a greater inductance.

[0012]

Here, since one portion is removed from the upper ground layer positioned on the periphery of the opening or the inductance adjusting electrode layer placed in the inner area of the opening, it becomes possible to widen the area of the opening or the area of the opened portion of the opening so as to adjust the amount of magnetic flux passing through the spiral

shaped pattern layer; thus, it is possible to easily adjust the inductance, and also to easily adjust variations appropriately in the inductance value due to deviations at the time of laminating the layers.
[0013]

Moreover, since the ground layers are respectively placed on the lower portion and the upper portion of the spiral-shaped pattern layer, it becomes possible to effectively prevent noise from a current flowing through a circuit when attached to a circuit substrate from invading into the spiral-shaped pattern layer, and consequently to provide a laminated spiral inductor that can maintain stable characteristics in use.